

低コスト化に向けた発振テスト回路構成 の提案

指導教員 高井 伸和 准教授

群馬大学 工学部 電気電子工学科
情報通信システム第二
高井研究室

10801634 鈴木 貴大

目次

| | | |
|-------|-----------------------|----------|
| 第1章 | 序論 | 2 |
| 1.1 | LSI テスト | 2 |
| 1.2 | アナログ回路部テスト | 2 |
| 1.3 | まとめ | 4 |
| 第2章 | BIST 技術 | 5 |
| 2.1 | BIST の構成 | 5 |
| 2.2 | BIST の問題点 | 6 |
| 2.3 | まとめ | 7 |
| 第3章 | 発振テスト | 8 |
| 3.1 | 発振テスト回路構成 | 8 |
| 3.2 | 発振テストの特長 | 8 |
| 3.3 | 発振テスト回路の問題点 | 8 |
| 3.4 | まとめ | 10 |
| 第4章 | 提案回路 | 11 |
| 4.1 | LNA 概要 | 11 |
| 4.1.1 | LNA の構成 | 11 |
| 4.2 | 提案回路構成 | 15 |
| 4.3 | テストモード | 15 |
| 4.4 | キャリブレーションモード | 17 |
| 第5章 | シミュレーション結果 | 22 |
| 5.1 | テストモードのシミュレーション | 22 |
| 5.2 | キャリブレーションモードのシミュレーション | 23 |
| 第6章 | まとめ・今後の課題 | 26 |
| 6.1 | まとめ | 26 |
| 6.2 | 考察・今後の課題 | 26 |

第1章 序論

CMOS 技術の進歩は LSI の高集積化・高性能化を進めてきた。しかしそれに伴い LSI テストに掛かるコストが問題視され始めており、テストコストの削減に対する産業界の要求が大きくなってきている。本章では LSI テストの現状と LSI のアナログ回路部におけるテストに関する問題点に焦点を当てて考察していく。

1.1 LSI テスト

LSI が高集積化・高性能化するとことで、LSI よりも高分解能、高速動作、高精度が求められる半導体試験装置は非常に高価な物となり、図 1.1 のように製造コストの内テストコストの占める割合が増加してきている。そこでなるべく安価なテスターを使って不良品を取り除くために、現在の LSI テストではウェハー状態でのテスト（前行程テスト、ウェハーテスト、プローブテスト）で安価なテスターを使って簡易的なテストを行い、パッケージングをした後のテスト（後行程テスト、パッケージテスト）で高価なテスターを使って詳細なテストを行う手法がとられている。

ところが近年では LSI が多ピン化、高周波動作、微小化してくるによりテスターよりもテスターの周辺治具（プローブカード、ハンドラ等）のコストがテストコストに対して支配的となっており、テスター周辺のコストを抑制するための技術開発が必要となり始めている（図 1.2）。このような背景から測定される回路側にもテストを容易化させるための設計を求められるようになり、DFT(Design for Testability) の考えが広まり始めた。

1.2 アナログ回路部テスト

テスト容易化設計の技術は数多くの研究が行われてきたが、アナログ回路部でのテスト容易化技術は実用化した例が少ない。アナログ回路の

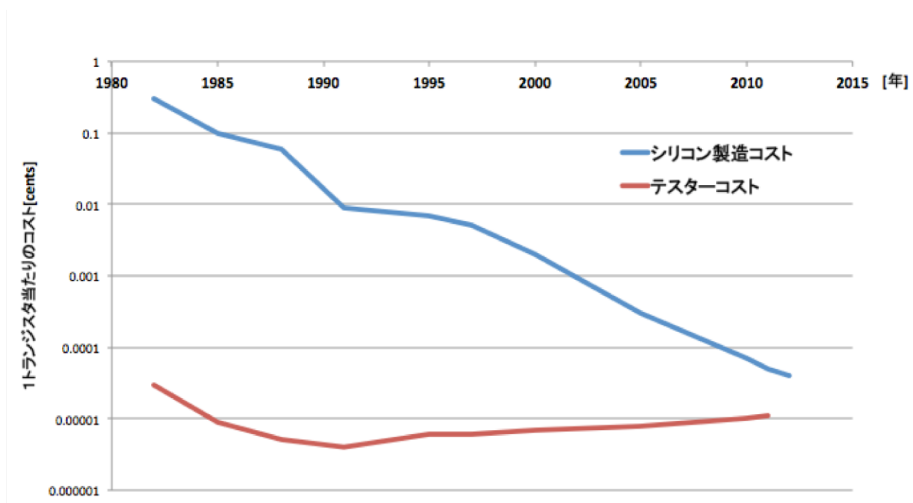


図 1.1: シリコン製造コストとテストコストのロードマップ

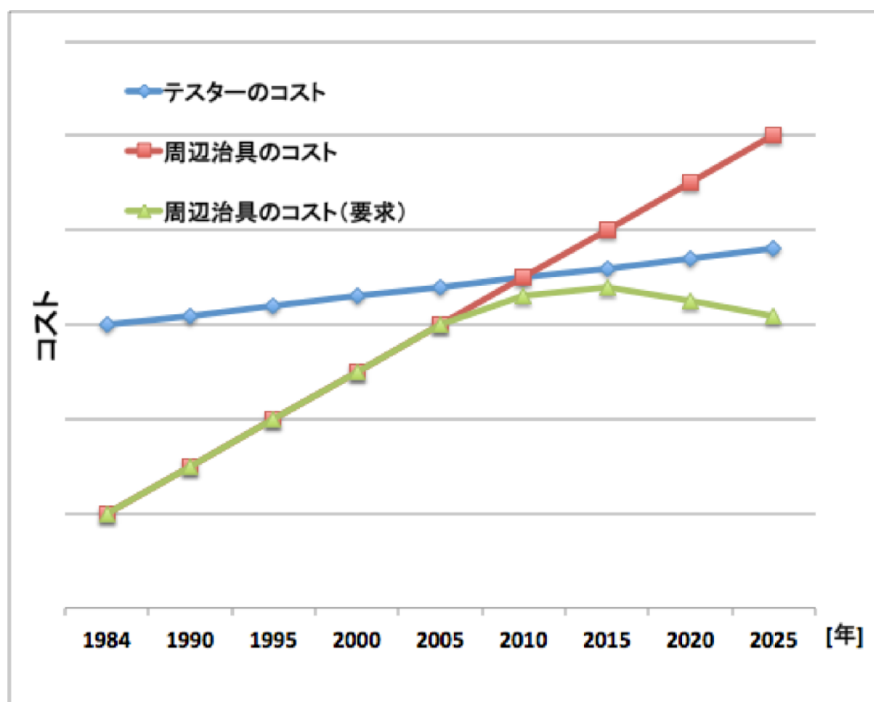


図 1.2: テスターと周辺治具のコストのロードマップ

テスト容易化の問題点として、

- カタストロフィック故障（意図せぬ短絡、開放、素子の破壊）を判定するだけでなく、パラメトリック故障（動作性能が基準以下）しているかどうかの判定も必要
- 汎用なテスト容易化手法がないため、回路ごとに専用のテスト容易化手法が必要になる
- 実用的な故障モデルがない
- アナログ回路の DFT の規模が大きくなるとそれ自身が故障してしまい、歩留まりの低下に繋がる
- テスト容易化のための付加回路が容量等の寄生成分により回路性能の低下を招く
- 付加回路によってチップ面積が増加する

が挙げられる。このようにアナログ回路部におけるテストには技術的課題が多い [?]。

1.3 まとめ

1 章では LSI の高性能化・高機能化がテストコストの増大を招いている現状を述べ、テスト容易化技術の必要性を指摘した。アナログ・デジタル混載 LSI において、特にアナログ回路部における問題点とテスト容易化技術適用の難しさを述べた。

第2章 BIST技術

テスト容易化技術の例を挙げると

- テストポイントの追加

可制御性や可観測性を上げるために、テスト用のパスを通す

- スキャンテスト

ランダム論理回路を構造的にテストする（例えば回路内のフリップフロップ回路を利用して可観測性を上げる）

- BIST(Built in Self Test)

被テスト回路内にテスト回路を埋め込み、チップ上でテストを行う

といったものが挙げられる。本論文では1章で記述したテストの問題点であるテスターとその周辺治具によるコスト増加に着目した。回路内にLSIテスター機能の一部を埋め込むことで、テスターとその周辺治具への負荷を抑制する効果を期待できたため、テストコスト解消の手法としてBISTを選んだ。しかしBISTにも問題点があるため、次節からBIST技術の一般的な構成とその問題点について議論する。

2.1 BISTの構成

一般的なBISTの構成は図2.1となっている。テスト時に、テストパターン発生回路が被テスト回路にテストパターン信号を入力し、その出力結果をデータ圧縮、正常値と比較することで良否判断を行う。特徴として

- テストパターン発生器を内部に持っているため、テスター側からテストパターンを入力する必要がない

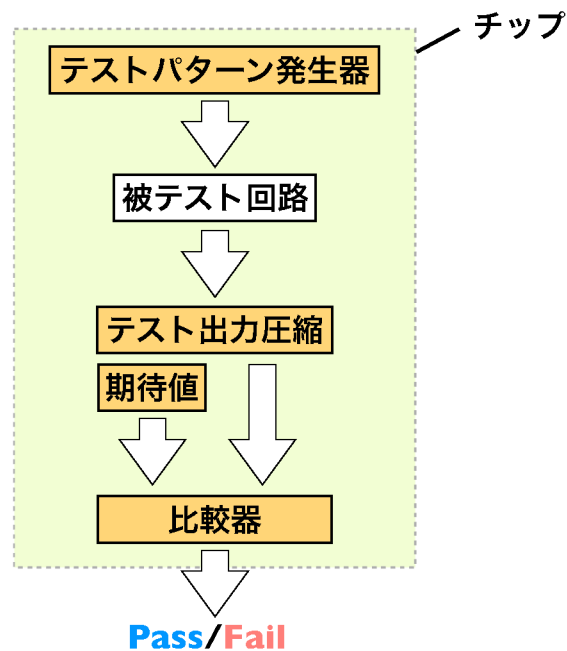


図 2.1: 一般的な BIST 構成

- 被テスト回路と同じチップ上でテストを行うので実動作速度の出力が確認できる
- テスト出力の圧縮が内部で行われるので、テスター・周辺治具への要求が緩和される

という点が挙げられる。

2.2 BIST の問題点

前節で BIST の構成と特長について述べたが、LSI テスター機能の一部を付加回路によって実現しているため、様々な問題も生じる。例を挙げると

- 付加回路によって面積オーバーヘッドが大きい

- 付加回路の容量値によって被テスト回路の速度低下を招く
- 設計を付加回路を考慮して行わなければならないので、設計難度が上がる

等がある。上記のような影響は特にアナログ回路部において顕著であり、アナログ BIST 回路の普及を阻害している要因である。

2.3 まとめ

2章ではテスト容易化技術として、テスター・周辺治具のコストアップに着目して BIST について述べた。BIST によりテスター・周辺治具への負荷を抑制できるが、付加回路により生じる問題点について述べた。

第3章 発振テスト

3.1 発振テスト回路構成

発振テストは図 3.1 のように被テスト回路に対してポジティブフィードバックを掛けることによって発振を引き起こし、その発振周波数から回路の故障を検知する BIST 技術である [2][7]。発振周波数による合否判定は図 3.2 のように理想（寄生成分や性能劣化が全くない）の発振周波数からのずれが許容範囲内に入るか否かで決定する。この許容範囲は製造精度やアプリケーション等によって異なるので、一概に決定することはできない。現状ではいくつかのサンプルから発振周波数を求め、その最小値と最大値をそれぞれ許容範囲の下限、上限と定めている [3]。

3.2 発振テストの特長

BIST の概略図 2.1 を発振テストに照らし合わせると図 3.2 のようになる。この図から発振テストにはテストパターン発生器が必要ないという大きな特長があることが分かる。これは被テスト回路の内部雑音をポジティブフィードバックによって増幅して発振を起こさせるからである。また前節で述べたように回路の構成は非常に簡易なものである。このことから発振テストは他の BIST に比べて面積オーバーヘッドは抑えられる。また、テスト出力が周波数のみであるので、複雑なテスト項目が省かれ、テスト時間が短いという特長もある。

3.3 発振テスト回路の問題点

次に発振テストの問題点について述べる。発振テストの構成自体は簡易なものであるが、フィードバック部にはフェイズシフターを用いて位相を変える回路が用いられる。フェイズシフターにはキャパシタやイン

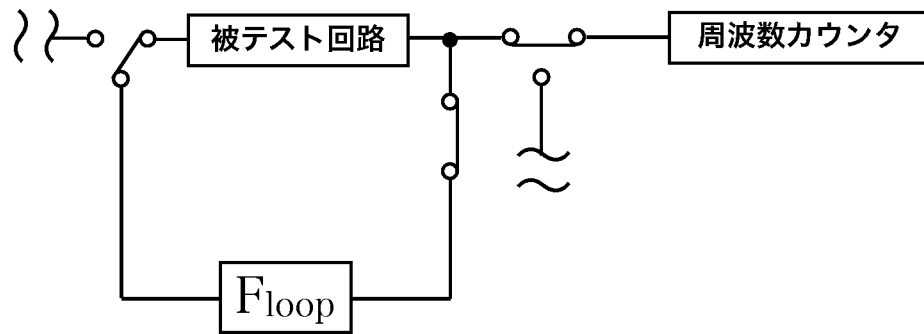


図 3.1: 一般的な発振テスト構成

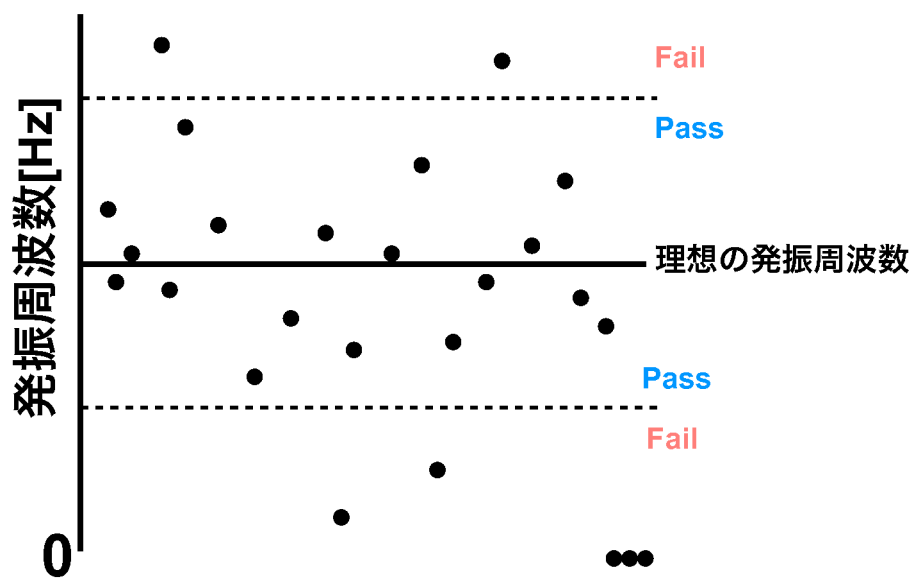


図 3.2: 発振テストによる合否判定

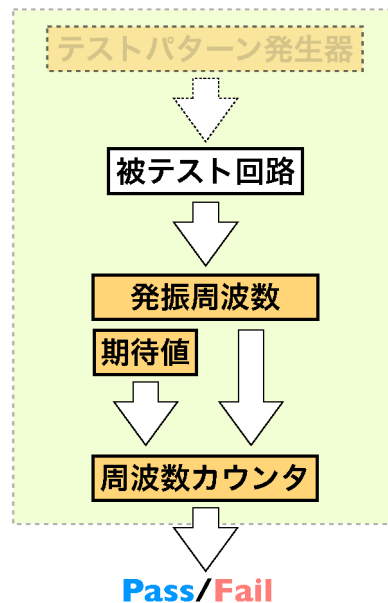


図 3.3: 発振テストの概略図

ダクタが必要なので、これらの素子がチップ面積を圧迫することがある。また、テストが終わった後に発振テスト回路は被テスト回路から切り離され、そのままチップに余剰回路として残るという問題もある。さらにテスト出力が周波数のみであることから、パラメトリック故障に関して検証が難しいという課題もある。しかし最近では詳細な非線形モデルを用意して、非線形特性と発振周波数との関連性を求めようとする試みもある。

3.4 まとめ

本章では BSIT 技術の 1 つである発振テストについて述べた。簡易な構成で発振周波数のみを出力とする構成から BIST の問題点であった面積オーバーヘッドを抑えることが出来る利点があるが、その一方で余剰回路として残ることや周波数のみの出力結果から詳細なテスト項目に対する検証が難しいという問題点についても指摘した。

第4章 提案回路

アナログ回路部における BIST 技術は産業界での実用例は少なく [4] [5] [6]、理由として面積オーバーヘッド、付加回路による影響、設計難等の問題が挙げられる。これらの問題点に対して発振テストという簡易な構成でテストできる BIST 技術について3章で述べたが、帰還素子の面積占有や余剰回路の問題が生じてしまう。これらの問題点の解決法として、本章では図4のようにテストモード時に使用した回路の一部をキャリブレーション回路として再利用する回路を提案する。これによりテスト回路に使用した余剰回路の無駄を極力少なくすることができる。また、通常動作時にはキャリブレーションを行うことでパラメトリック故障に対する堅牢性向上にも期待できる。

今回は被テスト回路として RF アナログ回路の低雑音増幅器 LNA(Low Noise Amplifier:低雑音増幅器)を選んだ。次節から LNA の簡単な動作について解説し、LNA に対する発振テスト回路構成について述べていく。

4.1 LNA 概要

LNA は主に図 4.1 のように受信回路システムの初段に置かれ、アンテナから受けた信号を増幅する役目を持つ。アンテナからのアナログ信号を受ける回路なので、デジタル化することはなくアナログとしての動作を保証しなければならない。

4.1.1 LNA の構成

図 4.1.1 は一般的なインダクティブソースデジェネレーション LNA の構成である。初段のソース接地増幅回路のソースにインダクタが接続されており、直列帰還によって線形性を上げている。インダクタであるので、抵抗と比較して雑音が少ない利点がある。増幅段はソース接地増幅回路とゲート接地増幅回路のカスコード構造となっており、

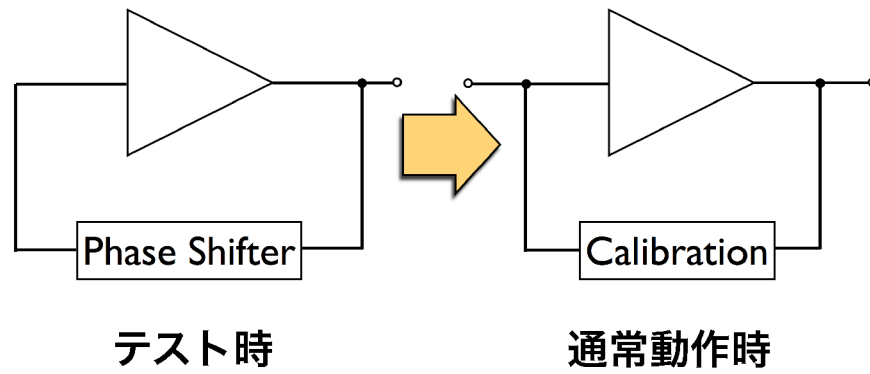


図 4.1: 提案回路の概略図

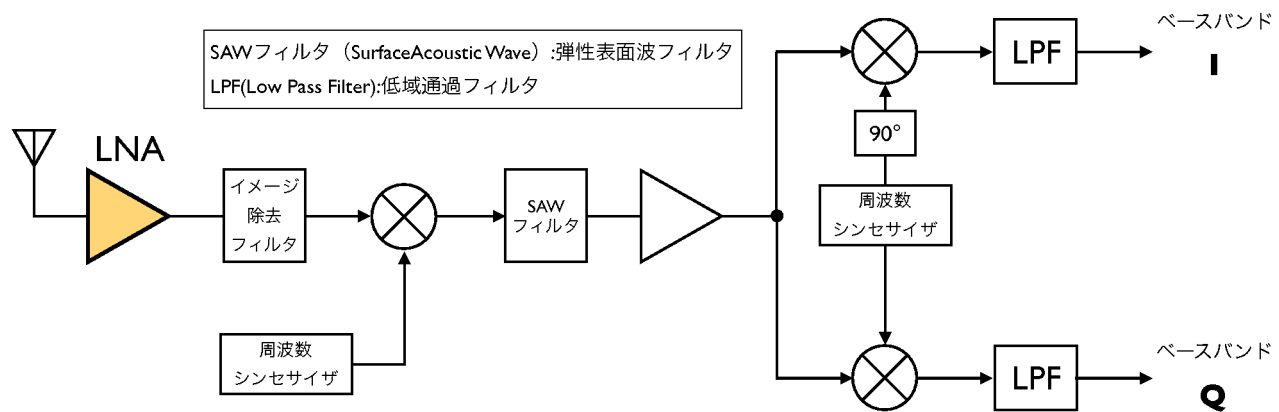


図 4.2: 一般的な RF 受信回路システム

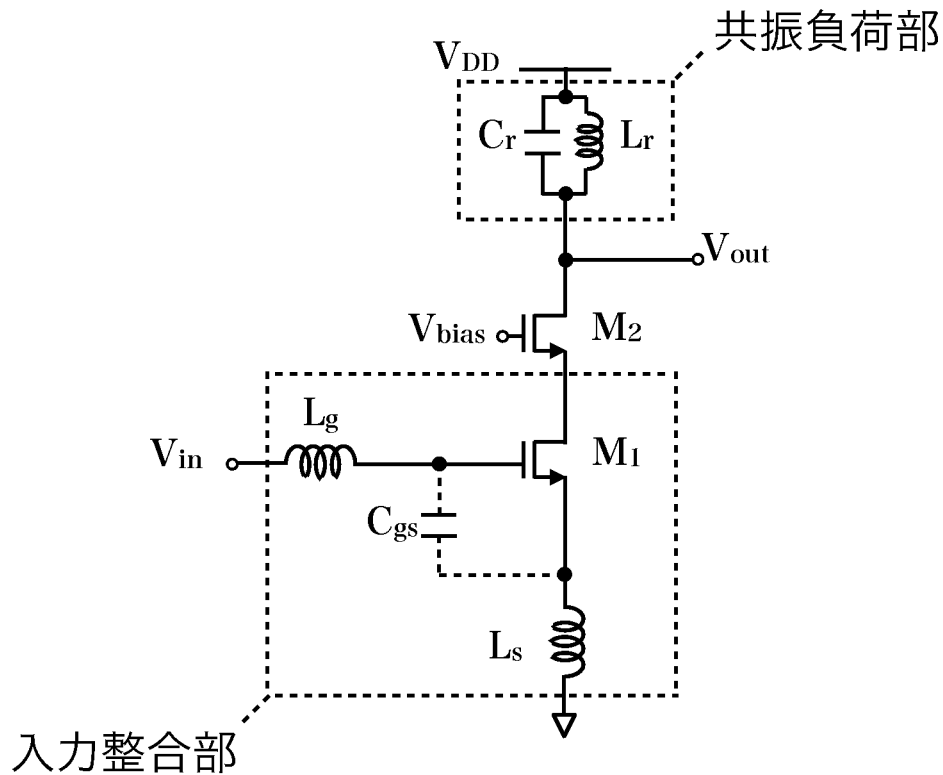


図 4.3: インダクティブソースデジェネレーション LNA

- ゲート-ドレイン間に見えるミラー容量を低減することにより高周波動作化
- カスコード構成による高負荷抵抗によって得られる高利得
- 高いアイソレーションによって後段に接続されるバッファ回路のインピーダンスの影響を低減

といった役割を持つ。次に入力整合部、負荷部における動作について述べる。

○ 入力整合部

LNA は低雑音が求められるので、雑音源となる抵抗を使用して整

合をとらずに LC 回路による整合を取る。図 4.1.1 の入力整合部を小信号等価回路で書くと図 4.4 のようになる。この図から入力インピーダンス Z_{in} を求めると、

$$Z_{in} = g_m \frac{L_s}{C_{in}} + j\{\omega(L_g + L_s - \frac{1}{\omega C_{in}})\} \quad (4.1)$$

Cin:ドレイン-ソース間の容量をミラー効果を考慮に入れてゲート-ソース間容量と結合した容量値

gm:ソース接地 MOS の相互コンダクタンス

これに対して 50Ω 整合を得られるように、入力インピーダンスの実部を 50 、虚部を 0 にすれば最大利得が得られるようになる。式 4.1 から実部に抵抗性のインピーダンスを持たせ、虚部は L_g 、 L_s によって容量成分をキャンセルする。目標の共振周波数 ω_0 で整合を行う場合、 L_g 、 L_s 、 C_{in} の関係を

$$\omega_0 = \frac{1}{\sqrt{(L_g + L_s)C_{in}}} \quad (4.2)$$

とすればよい。

○ 負荷共振部

負荷は LC タンクによる並列共振を利用する。負荷部のインピーダンス Z は

$$Z = \frac{1}{j(\omega C_r - \frac{1}{\omega L_r})} \quad (4.3)$$

と表せる。式 4.3 から共振周波数 ω_r は

$$\omega_r = \frac{1}{\sqrt{L_r C_r}} \quad (4.4)$$

となり、インピーダンスが最大となるため信号利得に対して周波数選択性を持たせることが可能となる。LC タンクの Q 値は

$$Q = R_r \sqrt{\frac{C_r}{L_r}} \quad (4.5)$$

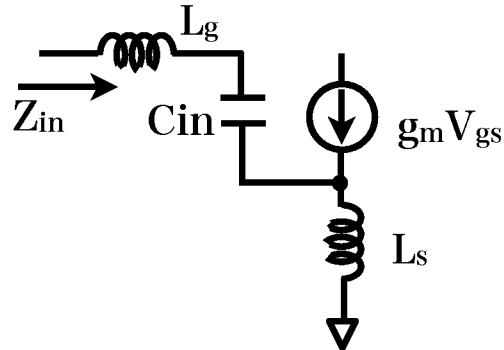


図 4.4: LNA 入力部の小信号等価回路

Rr:LC タンクの並列に見える抵抗値

と表せる。この Q 値が高ければ高いほど狭帯域の信号を増幅できるが周波数帯域は低下する。

4.2 提案回路構成

テストモードとキャリブレーションモードを持たせるための提案発振テスト回路を図 4.5 に示す。図中の 2 つのスイッチの切り替えによりモードの切り替えを行う。これによりフェイズシフターの一部であったキャパシタが入力整合部及び負荷共振部に対してキャリブレーションを行う接続に切り替える。インダクタ以外は再利用されるため、面積オーバーヘッドを大きく下げることが可能となる。また、キャリブレーションモードによりパラメトリック故障に対して耐性を持たせることができる。次節からモードごとの動作説明を行う。

4.3 テストモード

テスト時には図 4.5 の回路は図 4.6 のようにフェイズシフターを形成し、LNA にフィードバックを掛ける構成を取る。LNA の雑音（主に MOS からの雑音）がフィードバック経路を通り、増幅することで発振を引き起こす。発振周波数はフェイズシフターのインダクタとキャパシタの値に

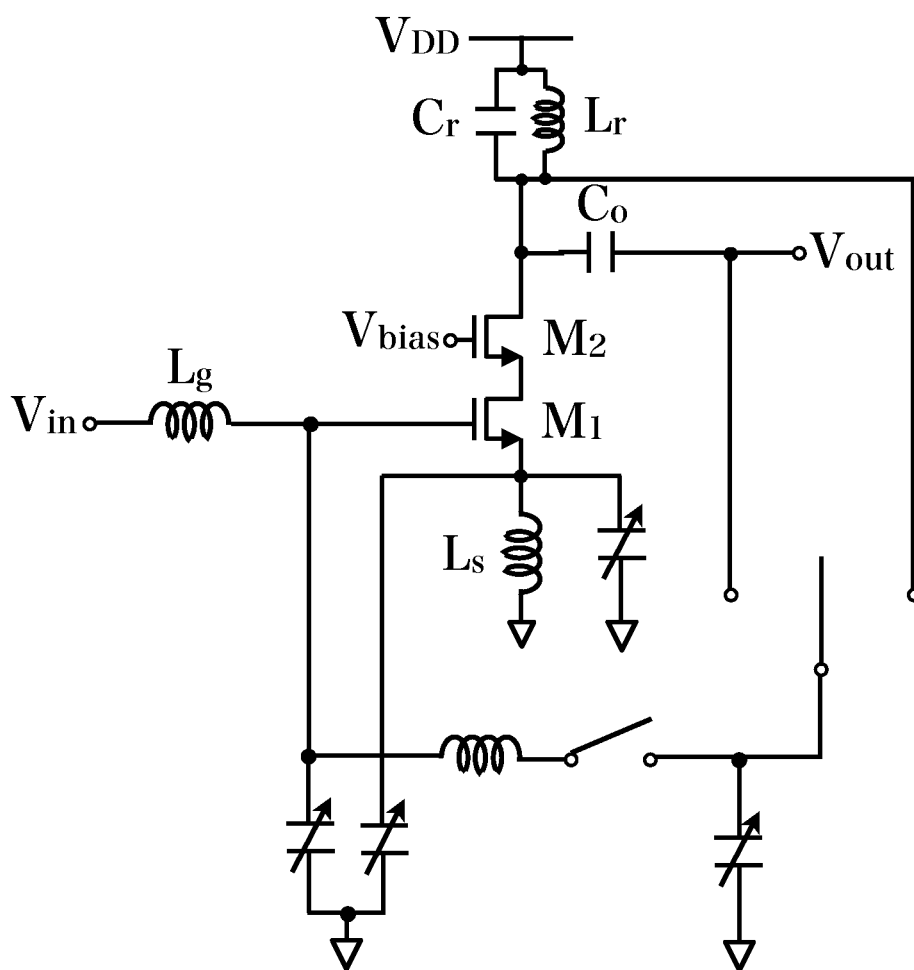


図 4.5: 提案発振テスト回路構成

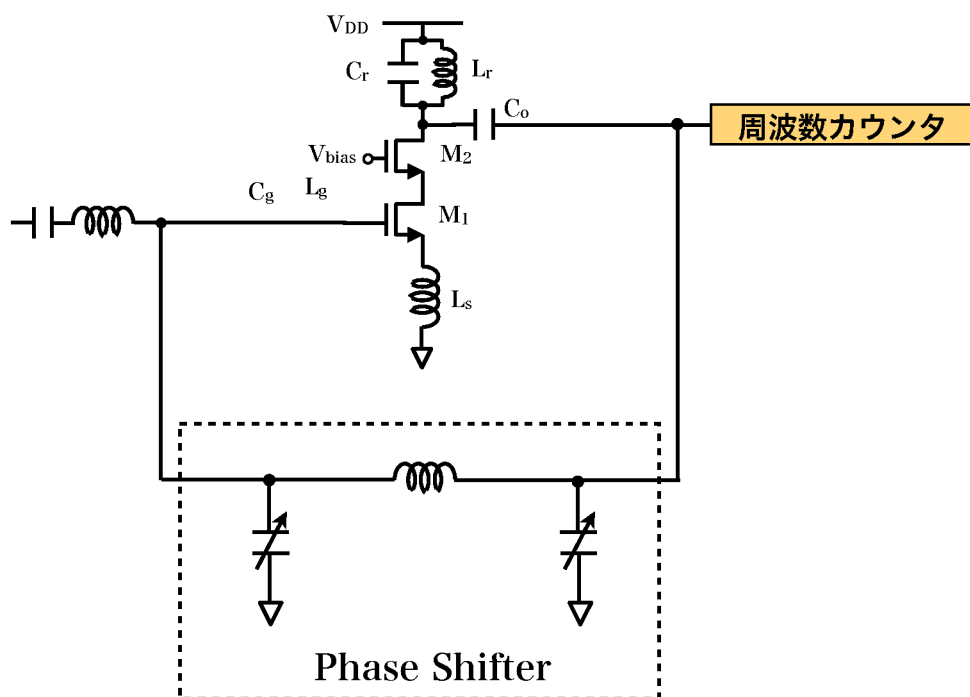


図 4.6: テストモード時の回路構成

よって調整可能であり、余剰回路として残ってしまうインダクタはなるべく低い値になるようにサイズを小さくしたほうが望ましい。

4.4 キャリブレーションモード

スイッチによってテストモードからキャリブレーションモードに切り替わると回路構成は図 4.7 となる。可変キャパシタにはバラクタを用いる。バラクタとは PN 接合に対して逆電圧を掛けることで、静電容量に変化をもたせて容量値を可変することができる素子である (図 4.8)。この素子に印加する電圧を図 4.7 の赤い点線に囲まれた部分で変化させることにより容量値を変化させる。この可変容量を用いたキャリブレーションに関して次に述べて行く。

1) 入力整合部

図 4.7 を簡易化した回路を図 4.9 に示す。この回路の入力整合部の小

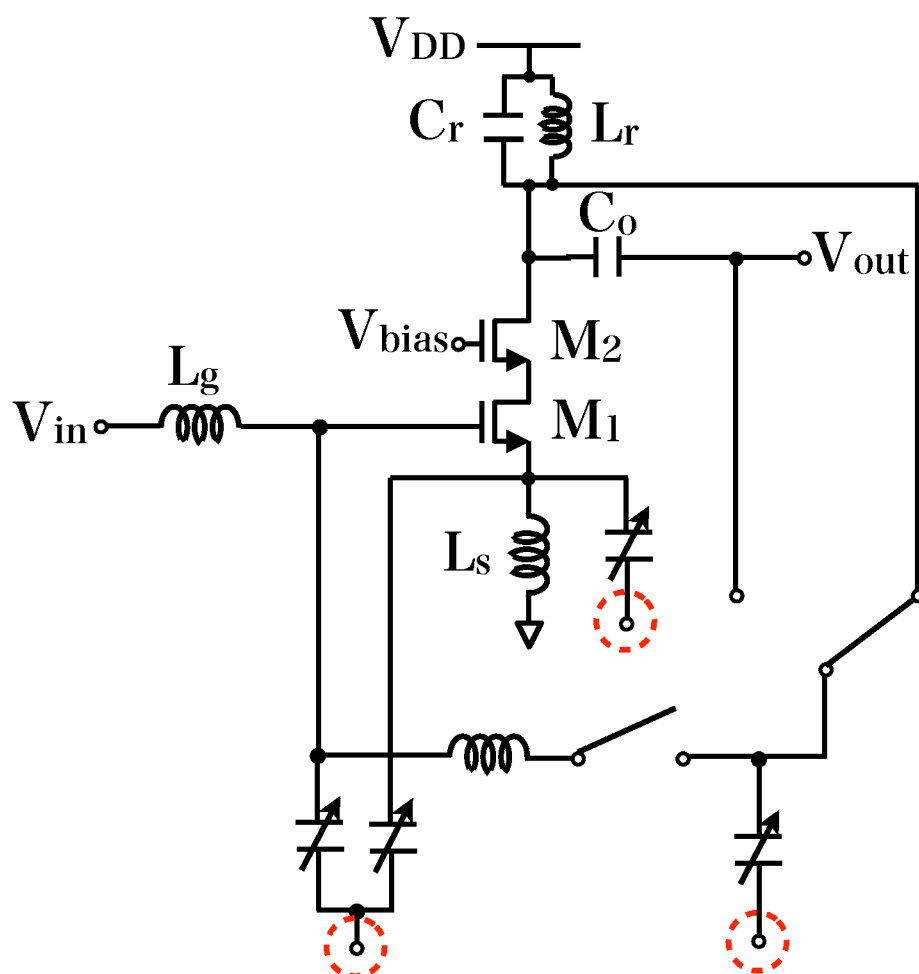


図 4.7: キャリブレーションモード時の回路構成

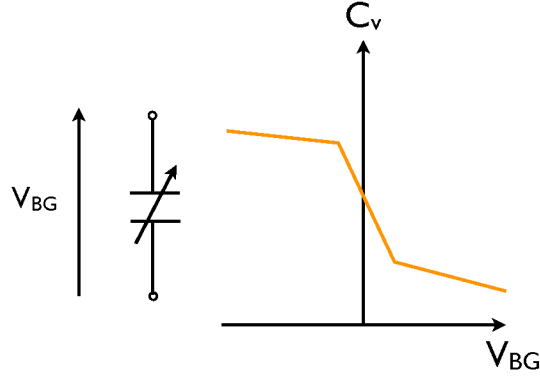


図 4.8: バラクタによる容量値の可変

信号等価回路は図 4.10 となる。入力インピーダンス Z_{in} を求めると

$$Z_{in} = j\omega(L_g + \frac{L_s}{1 - \omega^2 L_s C_s}) + \frac{1}{j\omega C_t} + \frac{g_m L_s}{(1 - \omega^2 L_s C_s)C_t} \quad (4.6)$$

C_t :ゲート-ソース間の容量 C_{gs} と付加キャパシタ C_d との和

これを解くと

$$\omega_{0,l,h} = \frac{1}{\sqrt{(4.2)}} \sqrt{\frac{1}{C_s L_g} + \frac{1}{C_t L_g} + \frac{1}{C_s L_s} + \mp \frac{\sqrt{a}}{C_s C_t L_s L_g}} \quad (4.7)$$

$$a = -4C_s C_t L_s L_t + (C_t L_g - C_s L_s - C_t L_s)^2 \quad (4.8)$$

と 2つの零点が求められる。上式から中心周波数をキャパシタの可変で調節できることが分かる。

次に入力インピーダンスのチューニングを行う。式 4.6 から入力インピーダンスの実数部は

$$Z_{in,real} = \frac{g_m L_s}{(1 - \omega^2 L_s C_s)C_t} \quad (4.9)$$

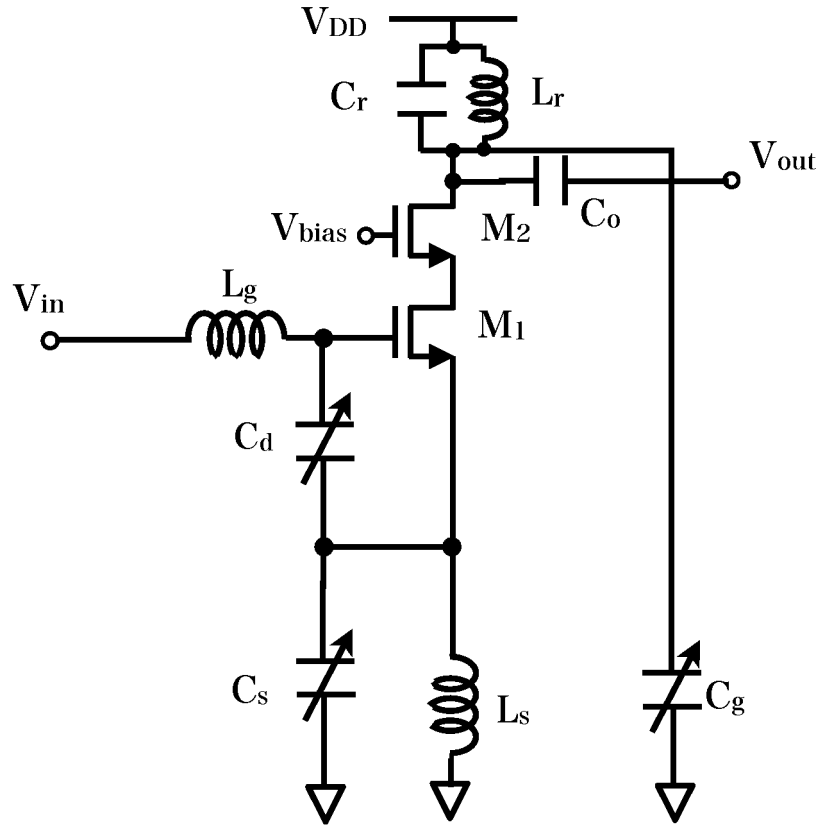


図 4.9: 簡易化したキャリブレーションモード時の回路構成

により求められるのでこれをキャパシタの変動によりチューニングを行う。

2) 負荷共振部のチューニング

キャリブレーションモード時の負荷共振部の回路は図 4.11。この時の共振周波数は

$$\omega_r = \frac{1}{(C_r + C_g)L_r} \quad (4.10)$$

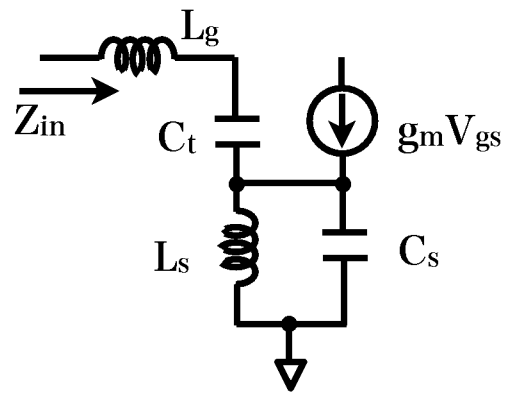


図 4.10: キャリブレーションモード時の入力整合部の小信号等価回路

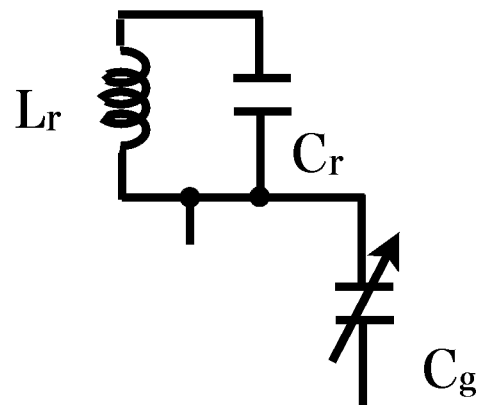


図 4.11: キャリブレーションモード時の負荷共振部

第5章 シミュレーション結果

テストモード時とキャリブレーションモード時の動作をシミュレーションで確認するために、180nm プロセスで Spectre を用いて動作検証を行った。テストモードのシミュレーションではカタストロフィック故障を発振テストによって検知できるかを確認することを目標とし、簡単な故障モデルとしてショート故障モデルを用いて出力を確認した。キャリブレーションモードのシミュレーションでは入力整合部、負荷共振部のキャリブレーションが出来るかを確認するため、可変キャパシタの変動に対する入力整合部と負荷共部の挙動を見た。

5.1 テストモードのシミュレーション

発振テスト構成による発振動作とカタストロフィック故障の検知を確認する。今回カタストロフィック故障のモデルは図 5.1 のようなショート故障を使用した。LNA の MOSFET の短絡による故障箇所をそれぞれ番号を振り、正常の発振周波数との誤差を調べた。その結果、表 5.1 のようになった。正常の発振周波数から 10%以内を許容範囲とすればカタストロフィック故障の検知が出来たと見なせる。

| 発振周波数 [GHz] | |
|-------------|-------|
| 正常時 | 1.25 |
| 1 | 発振せず |
| 2 | 発振せず |
| 3 | 発振せず |
| 4 | 16.5 |
| 5 | 0.964 |

表 5.1: ショート故障モデルに対する発振テスト結果

5.2 キャリブレーションモードのシミュレーション

- 中心周波数のチューニング

式 4.2 から低周波と高周波の零点が求められる。低周波側は入力に接続されている L_g 、 C_d によって決定する。インダクタは可変できないので、キャパシタ C_d 、 C_s について中心周波数の依存性についてシミュレーションを回して確認すると図 5.2, 5.3 のようになった。この結果から中心周波数は C_d によって独立にチューニングをすることができることが分かる。

- 入力整合のチューニング

入力インピーダンスの式 4.6 から実数部を求めると

$$Z_{in,\omega^2} = \frac{1}{(C_r + C_g)L_r} \quad (5.1)$$

となる。この式には g_m や C_d が含まれているが、 g_m は利得や雑音に影響があり、 C_d は中心周波数のキャリブレーションによって固定されているので C_s によって実部のチューニングを行う。

- 負荷共振部のチューニング

負荷共振部は式 4.10 から C_g の値を可変することによってチューニングできる。シミュレーションした結果は図 5.4。これより負荷共振部が目的の共振点から外れてもチューニングによる補正ができることが確認できた。

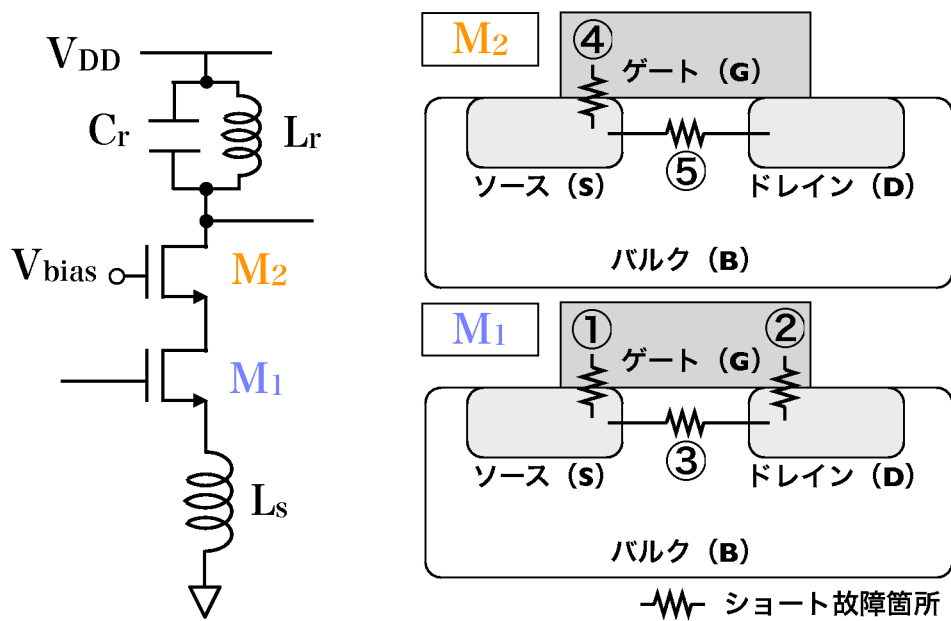


図 5.1: ショートトランジスタモデル

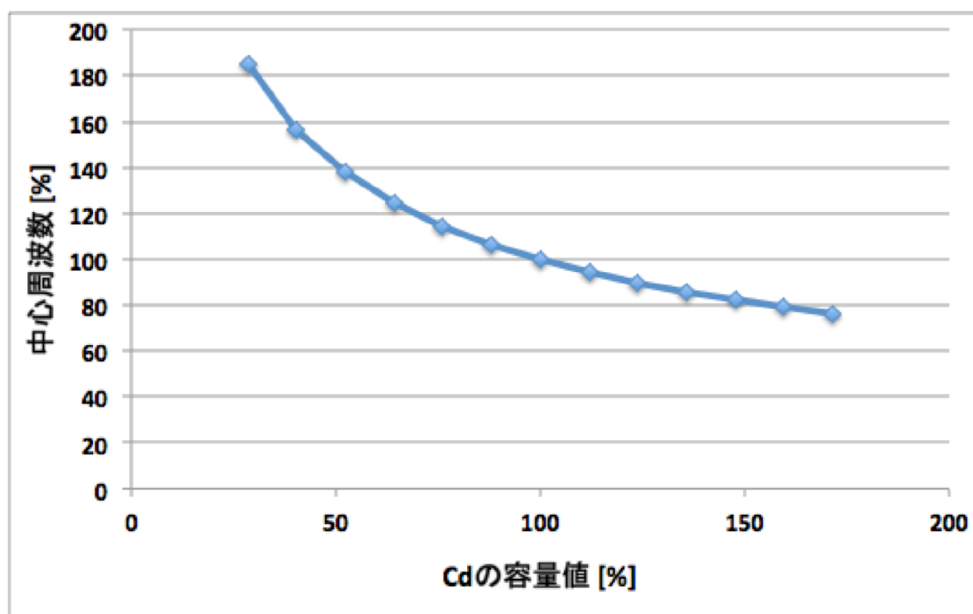


図 5.2: Cd と中心周波数の関係

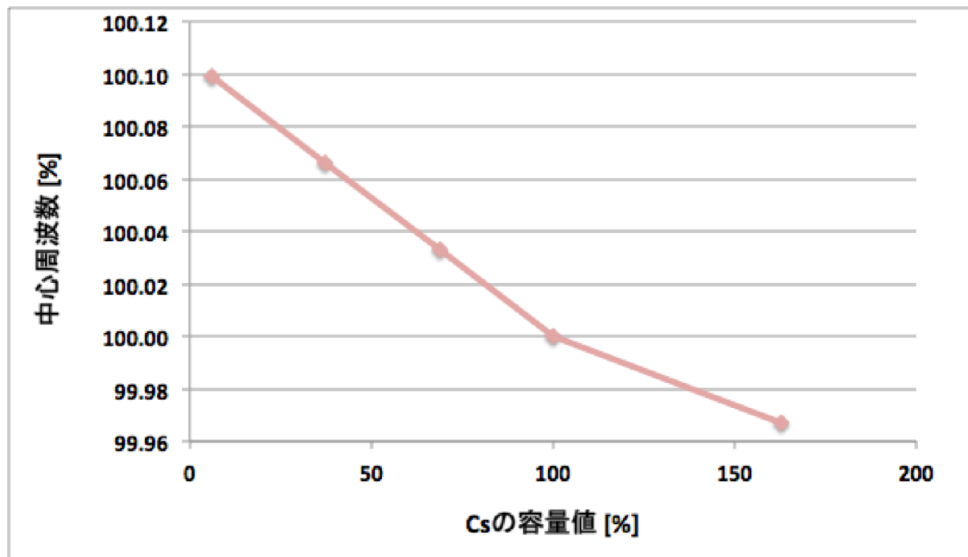


図 5.3: Cs と中心周波数の関係

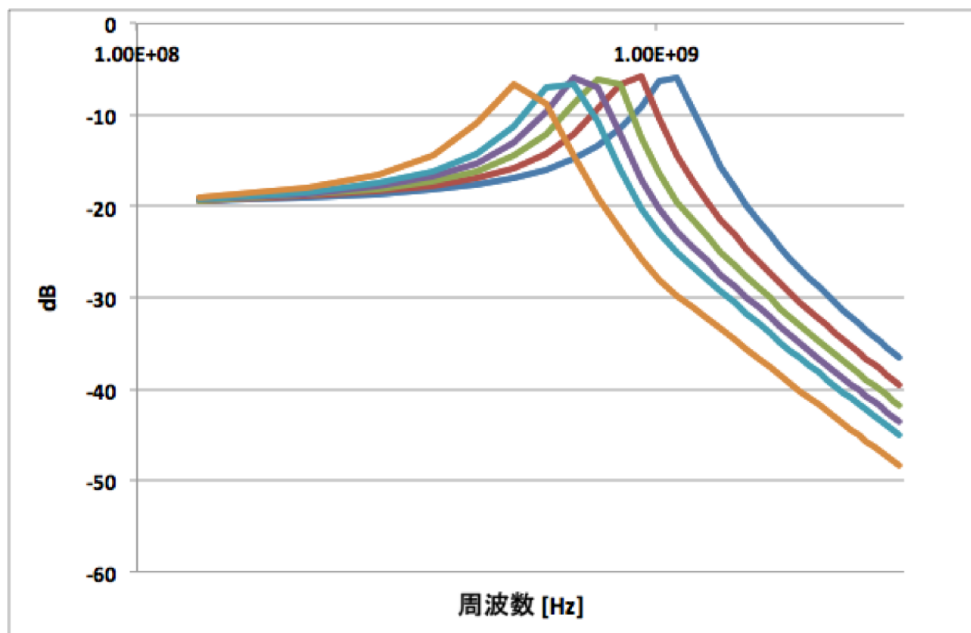


図 5.4: 負荷共振部における C_g の可変に対する共振周波数の変化

第6章 まとめ・今後の課題

6.1 まとめ

本論文ではLSIの微細化、高速化によるテストコスト増加が産業界での問題となっていることを述べた。そのテストコストを増加させている要因はテスターとその周辺治具によるものが大きいため、テスト容易化技術によってLSIチップ外に対する負荷を軽減する手法が注目されている。解決法の1つとして提案されているのが、BISTと呼ばれるLSIチップ内にテスター機能の1部を組み込む事でチップ上でテストが行う技術である。BISTの利点は被テスト回路と同チップ上でテストを行えるため実動作速度でテストが行え、外部には圧縮されたテスト出力信号がでるためテスターへの負荷を抑制できることである。しかしBISTは実装面積が大きく、余剰回路が生じるという問題がある。本論文はBISTの1つの発振テストを利用して、発振テスト回路の一部をキャリブレーション回路に再利用する構成を提案した。これにより、発振テストによるBISTの恩恵を受けるテストを行った後、キャリブレーションを行うことで余剰回路を最小限に抑え、被テスト回路に冗長性を持たせる構成となっている。これによりパラメトリック故障に対して冗長な設計かつカタフトロフィック故障を発振テスト回路による安価で高速なテストで検出が可能になる。

6.2 考察・今後の課題

今後の課題として挙げられるのはスイッチの影響である。今回使用したスイッチは理想スイッチであるので、回路同士のアイソレーションが十分にとれているという条件でのシミュレーションであった。しかし、実際にはMOSFETのドレイン-ソース間に見える容量やバルクを通してのリーク等が起きると考えられるため、それらを考慮した上での検証が必要となってくる。さらに入力整合部と負荷共振部以外でのキャリブレーションが行われないため、他の特性（周波数特性、ノイズ性能）等に対

する影響の検証が不十分である。LNA にとって主なノイズ源となるのは MOSFET であるから、スイッチを MOS スイッチにした場合はノイズ性能の悪化が予想される。したがって、LNA に求められる低雑音性能に反する構成になっていると思われるので、構成の見直しが必要である。しかしテスト回路をキャリブレーション回路に用いるという発想は新しいテストアプローチであり他の要素回路に対して適用できる可能性がある。

またチューニングの手順を今回示したが、出力電圧をモニタしてバラクタへの印加電圧を調節する制御部の構成は未完成である。制御部をチップ上に実装する場合、制御部自身が故障してしまわないようにデジタル制御であることが望ましい。出力電圧をモニタするセンサ回路とバラクタの制御回路の設計が今後の課題となってくる。

付録 CMOS の特性

○ MOSFET の基本特性

MOSFET の電圧電流特性を図 6.1 に示す。Id-Vds 特性 (図 6.1(a)) ではチャネル反転層が Vgs による電界に比例し電流が流れる線形領域、ピンチオフにより電流が飽和する飽和領域の 2 つの領域にオーバードライブ電圧 Vdsat によって分けられる。また、Id-Vgs 特性 (図 6.1(b)) では閾値 VT を境界として拡散電流が支配的になる弱反転領域、ドリフト電流 Id が支配的になる強反転領域に分けられる。

弱反転領域ではドレイン電流が強反転領域と比べて小さいので増幅にはほとんど用いられない。次に強反転領域における一般的なドレイン電流式、デバイスが入力電圧をどれだけ出力電流に変換できるかを表す性能指標である相互コンダクタンス gm を示す。(ここで μ : キャリアの移動度、 C_{ox} : 単位面積あたりのゲート酸化膜容量、W : ゲート幅、L : ゲート長、 λ : チャネル長変調係数)

相互コンダクタンス

$$g_m = \frac{\delta I_d}{\delta V_{gs}} (V_{ds} = \text{const}) \quad (6.1)$$

線形領域での電流式

$$I_d = \mu C_{ox} \frac{W}{L} ((V_{gs} - V_T) V_{ds} - \frac{1}{2} V_{ds}^2) \quad (6.2)$$

線形領域での相互コンダクタンス

$$g_m = \mu C_{ox} \frac{W}{L} V_{ds} \quad (6.3)$$

飽和領域での電流式

$$I_d = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_T)^2 \quad (6.4)$$

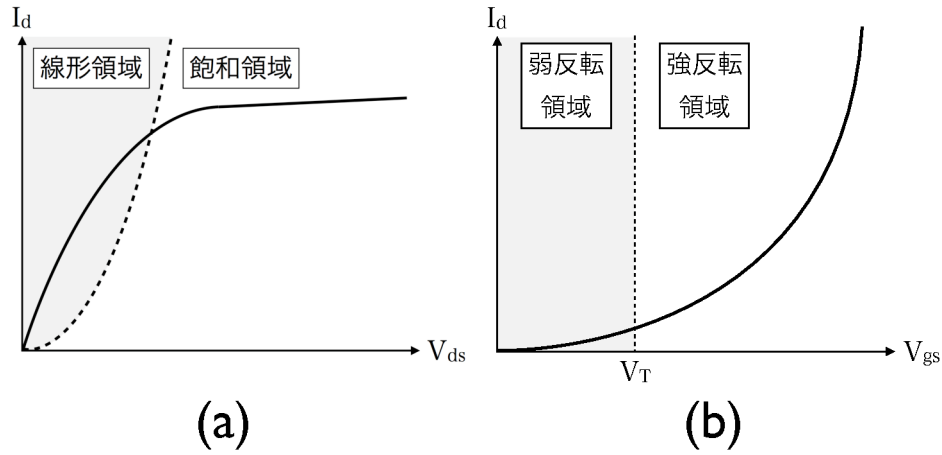


図 6.1: MOSFET の電圧-電流特性

飽和領域での相互コンダクタンス

$$g_m = \mu C_{ox} \frac{W}{L} (V_{gs} - V_T)(1 + \lambda V_{ds}) \quad (6.5)$$

相互コンダクタンスは飽和領域の方が大きく、増幅には飽和領域での動作が望まれる。

○高周波小信号等価回路

MOSFET のゲート (G)、ドレイン (D)、バルク (基板) (B)、ソース (S) の 4 端子表現モデルの高周波小信号等価回路は図 6.2 のように表すことができる。ここで、 g_{mv} は実効的なゲートソース間電圧に対するドレイン電流の変化を相互コンダクタンスの定義式で表せる g_m を用いて電流源で表している。また、 $g_{mbv_{sb}}$ はソースバルク間電圧の変化で閾値が変化し、ドレイン電流が変化する基板バイアス効果を電流源で表現している。 C_{ds} 、 C_{gd} 、 C_{gs} 、 C_{gb} 、 C_{sb} 、 C_{db} はゲート、ドレイン、バルク、ソースの 4 端子表現モデルでのそれぞれ結合している容量を表している。また、 r_g 、 r_s 、 r_d はそれぞれゲート、ドレイン、ソースのコンタクトを含めた抵抗の合計値である。 g_{ds} はドレイン電流がドレインソース間電圧で変化するチャネル長変調効果を抵抗で表現したものであり、式 6.6 で表さ

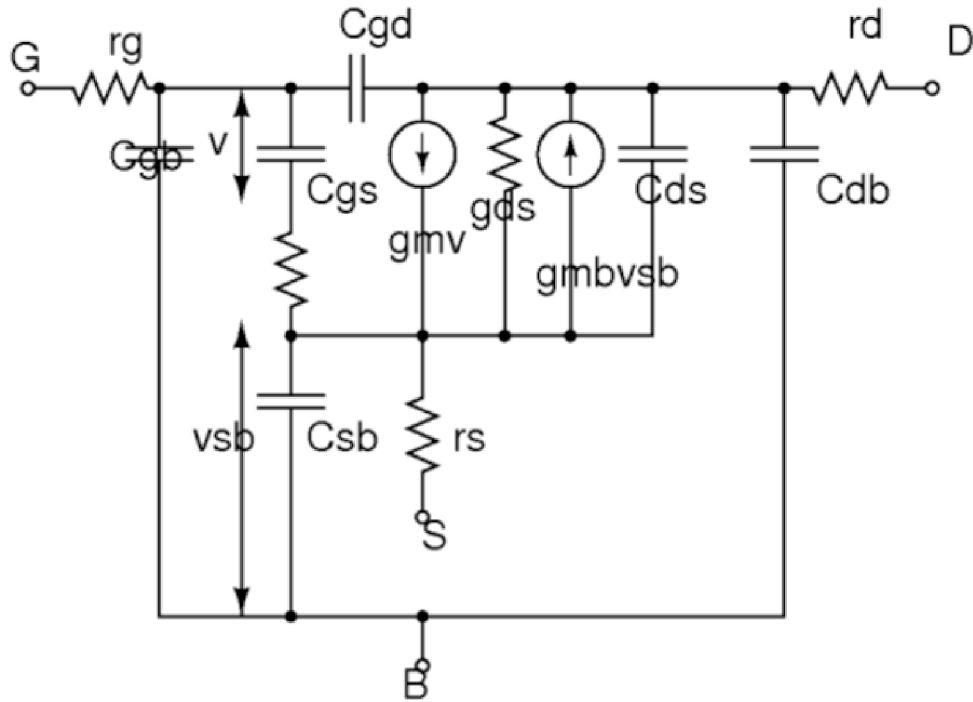


図 6.2: MOSFET の RF 小信号等価回路

れる。

$$g_{ds} = \frac{\delta I_d}{\delta V_{ds}} = \frac{1}{r_o} \quad (r_o = \frac{\delta V_{ds}}{\delta I_d}) \quad (6.6)$$

図 6.2 の高周波小信号等価回路をこのまま回路方程式を用いて解くことは難しい。そこで、モデルを近似することで簡略化する。ソース接地回路の場合は、一般にソース端子とバルク端子が接続された抵抗 r_s の値が小さく、電圧降下量が無視できるレベルであるので、 V_{sb} 、 $C_{sb} \doteq 0$ となる。また、 $C_d \doteq C_{ds} + C_{db}$ となり、等価回路は図 6.3 に示すようになる。

仮にソース接地増幅回路自体の利得が大きければミラー効果により C_{gd} の近似を適用することができる。ミラー効果適用後、 C_{gd} を換算後のゲートにつく容量は C_{in} とし、合成抵抗 $Z_L = g_{ds} // r_d // C_d$ とすると図 6.3 より式 6.7 で C_{in} が表される。

$$C_{in} = C_{gs} + (1 + g_m Z_L) C_{gd} \quad (6.7)$$

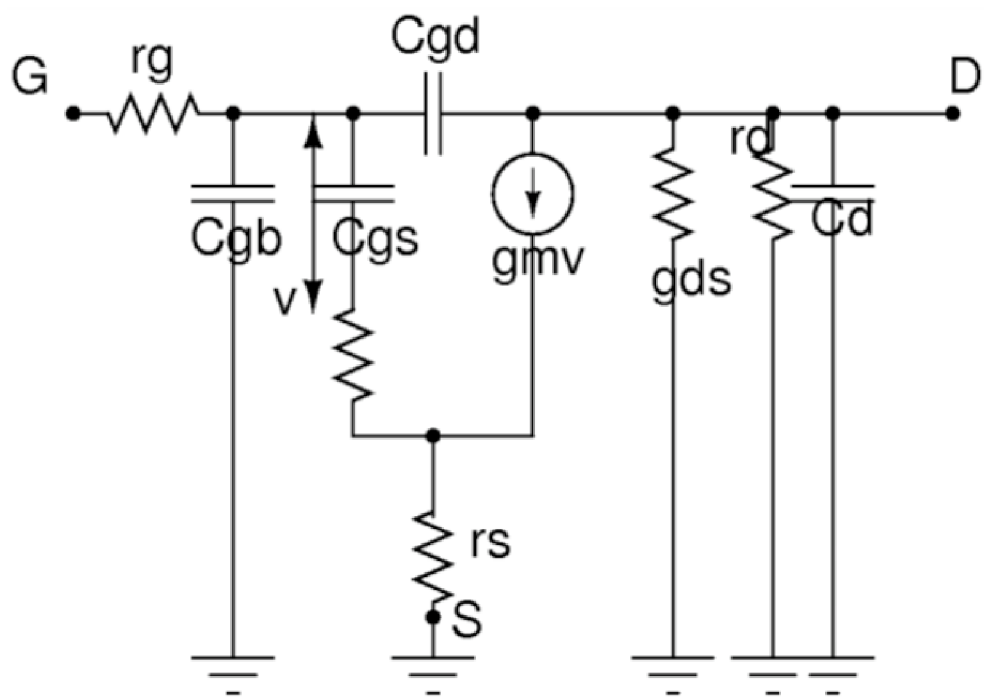


図 6.3: 簡易化した MOSFET の RF 小信号等価回路

以上を踏まえてソース接地増幅回路の電圧利得を計算すると

$$\frac{V_{out}}{V_{in}} = \frac{-g_m Z_L}{1 + g_m r_s} \frac{1}{1 + j\omega C_{in} \frac{r_g + r_s}{1 + g_m r_s}} \frac{1}{1 + j\omega C_d Z_L} \quad (6.8)$$

この式から高周波小信号等価回路の構成要素が、特性にどのような影響が現れるかが読み取れる。まず 1 項目の

$$\frac{-g_m Z_L}{1 + g_m r_s} \quad (6.9)$$

からソースに直列に抵抗が入ると、ソース接地増幅回路全体の直流利得が低下することを示している。次に 2 項目

$$\frac{1}{1 + j\omega C_{in} \frac{r_g + r_s}{1 + g_m r_s}} \quad (6.10)$$

により r_g 、 r_s 、 C_{in} と MOSFET への入力部のローパスフィルタの周波数特性が読み取れる。最後に 3 項目

$$\frac{1}{1 + j\omega C_d Z_L} \quad (6.11)$$

により C_d 、 Z_L と MOSFET への出力部のローパスフィルタの周波数特性が読み取れる。

謝辞

本研究を進めるにあたり、指導教員としてご指導、ご鞭撻を賜りました高井伸和准教授、小林 春夫教授、新津 葵一助教に感謝の意を表します。

また、所属研究室で同期の岩瀬 浩之君、村上 健君、及び小林研究室のSTARC 関係者に感謝致します。

参考文献

- [1] H. Kobayashi, "Issues and Challenges of Analog Circuit Testing in Mixed-Signal SoC", 東京大学 VDEC 「アドバンテスト D2T 寄附研究部門」 D2T シンポジウム, 2009
- [2] Gloria Huertas Sanchez, Diego Vazquez Garcia dela Vega, Adoracion Rueda Rueda, Jose Luis Huertas Diaz, "OSCILLATION-BASED TEST IN MIXED-SIGNAL CIRCUITS", Springer
- [3] Abihilash Goyal, Madhavan Swaminathan, Abhijit Chatterjee, "Low-Cost Specification Based Testing of RF Amplifier Circuits using Oscillation Principles", J Electron Test, Vol.26, No.1, pp.13-24, Feb., 2010
- [4] M. M. Hafed, N. Abaskharoun, G. W. Roberts, "A 4-GHz Effective Sample Rate Integrated Test Core for Analog and Mixed-Signal Circuit", IEEE Journal of Solid-State Circuits, vol.37, pp.499-514, Apr., 2002
- [5] B. Provost, E. Sanchez-Sinencio, "On-Chip Ramp Generator for Mixed-Signal BIST and ADC Self-Test", IEEE Journal of Solid-State Circuits, vol.38, No.2, pp.263-273, Feb., 2003
- [6] G. W. Roberts, "Test Cores for On-Chip Analog Measurement", Custom Integrated Circuits Conference, Educational Session Sept., 2003
- [7] Karim Arabi, Bozena Kaminska, "Design for Testability of Embedded Integrated Operational Amplifiers", ISSCC, Vol. 33, No. 4, pp.573-581, APR., 1998